

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

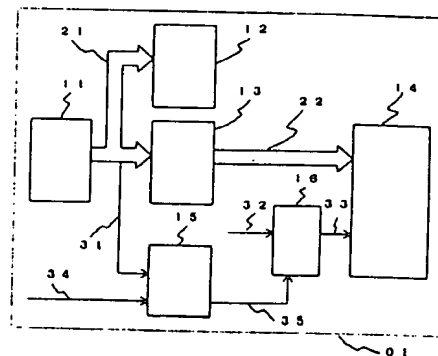
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**(54) CONTROL CIRCUIT FOR DISPLAY DEVICE**

(11) 3-48887 (A) (43) 1991 (19) JP  
 (21) Appl. No. 64-185388 (22) 18.7.1989  
 (71) SEIKO EPSON CORP (72) MOTOMITSU TAKEUCHI(1)  
 (51) Int. Cl.<sup>5</sup> G09G3/18, G02F1/133

**PURPOSE:** To control a driving voltage with a simple circuit and to prevent the characteristic of the display of liquid crystal from being deteriorated by providing a circuit for controlling the driving voltage applied to a 2nd display device with a display control signal obtained from a signal generation circuit for a 1st display device.

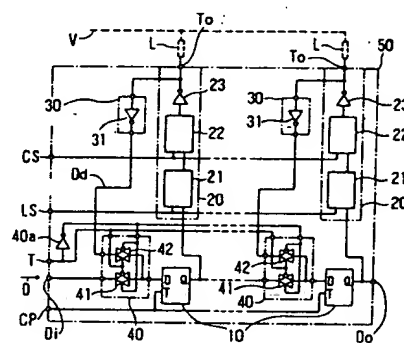
**CONSTITUTION:** At the time of finishing the initialization of the function mode of a video signal generation circuit 11, a video control signal 21 starts to output definite data. An LCD controller 13 starts to work with the signal 21 and starts to output an LCD control signal 22 to the LCD 14. Therefore, the signal 22 is outputted from the controller 13 to the LCD 14 by the time when the signal 21 is outputted. Since video data 31 being a part of the signal 21 is display data for the LCD 14, the signal 21 is outputted later than another video control signal. The video data 31 is connected to a circuit 15. By detecting the data 31, a driving voltage switching circuit 16 is actuated and an LCD driving voltage 33 is impressed on the LCD 14 so as to start display.

**(54) INTEGRATED CIRCUIT FOR DRIVING PLURAL LOADS**

(11) 3-48888 (A) (43) 1.3.1991 (19) JP  
 (21) Appl. No. 64-184285 (22) 17.7.1989  
 (71) FUJI ELECTRIC CO LTD (72) NAGATSUGU TAKAGI  
 (51) Int. Cl.<sup>5</sup> G09G3/36, G02F1/133, H03K17/00

**PURPOSE:** To form an integrated circuit which can efficiently drive a load by switching data after storing loading data from the data input terminal of the integrated circuit in each storage unit circuit and reading state detection data from a data output terminal.

**CONSTITUTION:** The integrated circuit is provided with plural storage unit circuits 10 which respectively store the loading data D and output the data D to the data output terminal Do, and plural driving unit circuits 20 which respectively drive the loads through a driving output terminal To in accordance with the stored data in the circuit 10. Then, a detection circuit 30 which detects the states of the respective terminals To and outputs the state detection data Dd and a data switching circuit 40 which switches the data Dd and the loading data D to give the circuit 10 are also provided. In the case of testing, the loading data D is stored in the respective circuit 10 and the circuit 40 is switched so that the state detection data Dd corresponding to the data D is simultaneously stored in the circuit 10 and successively read out through the output terminal Do.



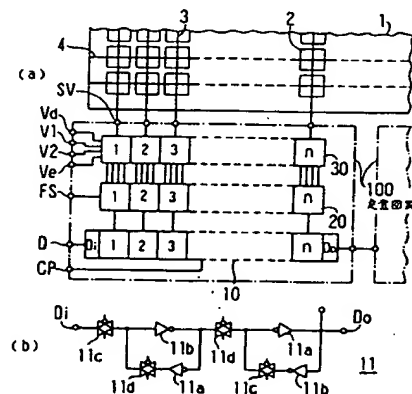
Di: data input terminal

**(54) SCANNING CIRCUIT FOR DISPLAY PANEL DEVICE**

(11) 3-48889 (A) (43) 1.3.1991 (19) JP  
 (21) Appl. No. 64-184286 (22) 17.7.1989  
 (71) FUJI ELECTRIC CO LTD (72) HARUHIKO NISHIO  
 (51) Int. Cl.<sup>5</sup> G09G3/36, G02F1/133

**PURPOSE:** To prevent the latch-up caused by an induction pulse from a data line by constituting each stage of a shift register so that its stage output is set automatically to a non-selective logical state at the time of turning on a power source and setting a scanning signal voltage immediately after turning on the power source to the intermediate potential.

**CONSTITUTION:** A shift register 10 receives data D by its input Di, and sends it to a shift register of the next scanning circuit from an output Do, while advancing this data by one stage each by a clock pulse CP. Subsequently, when a power source is turned on, all stage outputs of the shift register 10 in a scanning circuit 100 are set automatically to a non-selective state, and scanning signals SV outputted to a scanning line 3 of a display panel 1 from the circuit 100 are all set to the intermediate potentials V1 - V2. Accordingly, even if a pulse is induced to the scanning line 3 through a capacitance of a picture element 2 from a data line 4, it does not exceed power source potentials Vd, Ve. In such a way, the scanning circuit 100 is protected effectively from danger of latch-up.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-48889

⑬ Int. Cl.<sup>3</sup>

G 09 G 3/36  
G 02 F 1/133

識別記号

5 4 5  
5 5 0

庁内整理番号

8621-5C  
7709-2H  
7709-2H

⑭ 公開 平成3年(1991)3月1日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 表示パネル装置用走査回路

⑯ 特 願 平1-184286

⑰ 出 願 平1(1989)7月17日

⑱ 発 明 者 西 尾 春 彦 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 表示パネル装置用走査回路

2. 特許請求の範囲

表示パネル面内の所定方向に並ぶ画素に一斉表示をさせるための走査線を順次に駆動するための走査回路であって、走査線を各段出力により指定するためのシフトレジスタを備え、このシフトレジスタの段出力の選択論理状態により指定された走査線に対する駆動出力電圧を1対の駆動用電源電位のいずれかの付近に置くことにより走査線を駆動するようにしたものにおいて、シフトレジスタの各段を電源投入時にその段出力が非選択論理状態に自動設定されるように構成したことを特徴とする表示パネル装置用走査回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶等を用いる表示パネル装置用の走査回路、すなわち表示パネル面内の所定方向に並ぶ画素に一斉表示をさせるための走査線を駆動するための回路に関する。

(従来の技術)

テレビ用等の可変画像を表示する大形の液晶表示パネル等では、周知のとおりパネル面内に多数個の画素がマトリックス状に配置され、各画素を交点で特定できるように互いに直交する走査線とデータ線が設けられるが、1フレーム分の画像の表示内容を定期的に更新するに当たっては、走査線を順次に駆動しながらそれに沿って並ぶ各画素にそれに対応するデータ線上の表示データに応じた表示を一斉に行なわせる。本発明はこれらの内の走査線を駆動する走査回路に関する。

この走査回路には駆動すべき走査線を順次に指定するためにシフトレジスタが組み込まれ、このシフトレジスタをクロックパルスで駆動しながらその各段出力を順次に選択論理状態、例えば0の状態に置き、これにより指定された走査線に対する駆動出力電圧を表示パネルの駆動用の1対の電源電位のいずれかに、ないしはその付近に置くことにより走査線を駆動する。この要領を第4図および第5図を参照して説明する。

第4図に一部が示された表示パネル1の面内には多数の画素2がマトリックス配置されており、横方向に並ぶ画素に対しては例えば400本の走査線3が、縦方向に並ぶ画素に対しては例えば640本のデータ線4がそれぞれ設けられる。走査線3に対してその数十本を駆動する走査回路100が数個ないし十数個設けられ、データ線4に対しては同様に数十本を駆動するデータ回路200が十数個程度設けられる。

各走査回路100内に組み込まれたシフトレジスタ10は図のように互いに直列接続され、クロックパルスCPによってこれら複数個のシフトレジスタ10の中でデータDが1段ずつ送られる。このデータDは第5図(a)に示すフレーム信号PSが $\phi_1$ または $\phi_2$ の状態にある1フレーム期間の当初に1回だけ例えば $\phi_1$ である選択論理状態を取るようになっているので、複数個のシフトレジスタ10内をこの単一の選択論理状態のデータがシフトパルスCPにより1段ずつ送られるつど、それによって走査線3が1本ずつ指定される。

なお、上述の電位間には $V_d > V_1 > V_m > V_2 > V_o$ および $V_d > V_3 > V_m > V_4 > V_o$ の関係があるものとし、かつみづうは $V_1 > V_3$ 、 $V_2 < V_4$ とされる。

データ信号DVはもちろん走査信号SVと同期して切り換えられ、例えば第5図の矢印Aで示すように同図(c)の3番目の走査信号SV3がシフトレジスタの選択論理状態に応じて電位 $V_o$ になった時、これに対応して3回目に切り換わったあるデータ信号DVが図示のように電源電位 $V_d$ にある場合には対応画素に表示がなされ、中間電位 $V_3$ にある場合には対応画素に表示はなされない。

つまり、第5図(c)のフレーム信号PSが $\phi_1$ または $\phi_2$ に切り換わってから同図(c)の3番目の走査信号SV3の電位が $V_o$ または $V_d$ になった時、これに対応して3回目に切り換わった同図(c)に示すような多数個のデータ信号DVがそれぞれ表示データに応じて電源電位 $V_d$ または $V_o$ にあるか、中間電位 $V_3$ または $V_4$ にあるかによって決定される表示が3番目の走査線3に沿って並ぶ多数個の画素に一斉になされることになる。

各走査回路100には表示パネルを駆動するための1対の電源電位 $V_d$ 、 $V_o$ と両者の中間電位 $V_1$ 、 $V_2$ が与えられており、シフトレジスタ10の段出力とフレーム信号PSの論理状態に応じて第5図(b)に例示する波形の走査信号SVを走査線3に出力する。この例での走査信号SVは表示パネル1を交流駆動するため、図のように電源電位 $V_d$ と $V_o$ の間の中心電位 $V_m$ に対してフレーム信号PSの $\phi_1$ 、 $\phi_2$ に応じて正負に切り換わる波形をもつ。第5図(b)は3番目の走査線3への走査信号SV3の波形を示し、シフトレジスタ10の3段目の段出力が例えば $\phi_1$ の選択論理状態にあるときのみ電源電位 $V_o$ または $V_d$ をとり、段出力が $\phi_2$ の非選択論理状態にある残余の期間には電位 $V_1$ または $V_2$ をとる。

一方、データ回路200から任意のデータ線4に出力されるデータ信号DVは例えば第5図(c)に示す波形をもっており、フレーム信号PSの状態に応じて中心電位 $V_m$ から正負に切り換わるのは同じであるが、順次に表示データに応じて中間電位 $V_3$ 、 $V_4$ または電源電位 $V_d$ 、 $V_o$ をとる波形をもつ。

(発明が解決しようとする課題)

上述の走査回路は前述のように1個で数十本の走査線を駆動できるよう例えばCMOS集積回路にまとめられるが、電源投入時にいわゆるラッチアップによって動作しなくなってしまう問題が発生することがある。調査の結果、この原因は電源投入時に走査回路内のシフトレジスタの段出力が不定になりやすい点にあることが判明した。

すなわち、シフトレジスタの正常な動作中は、前述のようにその1個の段出力のみが選択論理状態をとり、これに対応して走査回路からの走査信号は第5図(c)のようにごく短時間だけ電源電位 $V_d$ ないし $V_o$ をとり、残りの大部分の時間内は中間電位 $V_1$ ないし $V_2$ をとるが、電源投入時にシフトレジスタの動作が不定になると複数個の段出力が同時に選択論理状態をとる異常状態が発生することになり、最悪の場合にはその全部の段出力が同時に選択論理状態になって、第5図(c)のように走査信号SVが常に電源電位 $V_d$ ないし $V_o$ をとる場合もあり得ることになる。

一方、データ回路側では第5図例のようなデータ信号DVを発生してデータ線4に接続しており、その電位が表示データに応じて電源電位VdまたはVeと中間電位V3またはV4との間で切り換わると、図案2がもつキャパシタンスを介して走査信号が乗せられている走査線3にパルスを送る。走査信号が第5図例のように正常で大部分の時間内に中間電位V1ないしV2にある場合にはこのパルスが電源電位VdないしVeを超えることはまずないが、同図例のように走査信号が異常な場合にはパルスの極性が不利なとき電源電位VdないしVeを確実に越えてしまうことになる。

この走査信号SVを発生する走査回路の出力回路部は例えばCMOS構成であって、よく知られているようにそのpチャネルおよびnチャネル電界効果トランジスタ対には4層のサイリスタ構造と同様な4層の半導体層が含まれており、上述のパルスによって流れる電流がこのサイリスタ構造のゲートに対する順方向電流となって、それを導通させてラッチアップを発生させる。

また、シフトレジスタの段出力の選択論理状態に対応する走査信号に前述の電源電位のかわりに中間電位をとらせるようにすることも不可能ではないが、これでは図案の駆動に電源電圧を有効に利用できなくなり、かつ無種回路の構成を無用に複雑化させてしまうことになる。

本発明はかかる問題を解決して、電源投入時にラッチアップが発生する危険のない表示パネル装置用走査回路を得ることを目的とする。

(課題を解決するための手段)

本発明では、前述のように走査線を各段出力により指定するためのシフトレジスタを備え、このシフトレジスタの段出力の例えば1つの選択論理状態により指定された走査線に対する駆動出力電圧を1対の駆動用電源電位のいずれかの付近に置くことにより走査線を駆動するようにした走査回路において、シフトレジスタの各段を電源投入時にその段出力が例えば1つの非選択論理状態に自動設定されるように構成することにより上述の目的を達成する。

なお、1本の走査線に対して前述のように多数本のデータ線が対応するので、表示データの切り換えりのつどに上述のパルスがほぼ確実に走査線に誘導される。この際、複数個のパルスが正負で打ち消し合う場合もあるが、多くの場合それらの合成パルスが残り、かつその極性が異常状態にある走査信号にとって不利な場合にラッチアップを起こす原因となる。容易にわかるようにこのラッチアップの危険は、最近のように表示パネルが大形化して図案数が多くなればなる程、また画像の鮮明化のため図案の電極間ギャップが縮小されて各図案のキャパシタンスが大きくなればなる程、ますます深刻になって来る。

このラッチアップの危険を少なくするため、走査回路の出力回路部のトランジスタのサイズを大きくしてラッチアップ耐量を増加させることは可能であるが、必ずしも問題を根本的に解決することにならず、かつ走査線ごとにトランジスタ対のサイズが大きくなるので、無種回路全体のチップサイズが増加する不利を免れない。

上記構成にいう電源投入時のシフトレジスタの各段出力の非選択論理状態への自動設定は、例えばその各段を構成するインバート用電界効果トランジスタ対のソース・ドレイン間抵抗を互いに異ならせることにより行なうことができる。

なお、上のようにシフトレジスタの各段を電源投入の当初に非選択論理状態に自動設定しても、その後不定なデータがシフトレジスタに与えられたり、走査回路内のシフトレジスタ以外の部分が誤動作をしたり外部からの不定な信号により非正常な動作状態に入るおそれもないので、上記構成に加えて電源投入後のデータやクロックパルス等の信号が確立するまでの短時間内に限りシフトレジスタへのデータ入力を禁止し、あるいは走査回路内でその代わりに単一の段のみを選択論理状態にする仮のデータを作って、クロックパルスに代わる周期的なパルスによりシフトレジスタ内でこの仮のデータを順次進めることにより、電源投入後の所定短時間内にラッチアップが発生する危険をもなくすることができる。

## 〔作用〕

上記構成からわかるように、本発明は電源投入直後のシフトレジスタの各段をその段出力が非選択論理状態になるよう自動設定することにより、走査回路から出力されるすべての走査信号の走査線駆動電圧を非選択状態に対応する前述の中間電位に置き、データ線側からの誘導によって走査線にパルスが発生しても電源電位を越えることがないようにし、従って走査回路内にラッチアップが発生する危険をなくすものである。

## 〔実施例〕

図を参照しながら本発明の実施例を説明する。第1図は本発明による走査回路の実施例回路で、第4図と同部分には同符号が付されている。

第1図(a)は表示パネル1と走査回路100の内部構成を第4図と異なる向きで示す。表示パネル1の縦方向に並ぶ画素2に共通に設けられた各走査線3に走査信号SVを乗せる走査回路100内には、 $n$ 段のシフトレジスタ10と $n$ 個の論理回路20と $n$ 個の出力回路30が設けられる。

第1図(a)にシフトレジスタ10の各段の構成例を示す。この例での段回路11はいわゆるマスタースレーブ方式のもので、図の左半分のマスター回路部および右半分のスレーブ回路部は、いずれも図のように接続されたインバータ11a, 11bとトランスミッションゲート11c, 11dからなり、よく知られているようにクロックパルスCPによってトランスミッションゲート11cと11dとを交互に開閉しながら、例えばクロックパルスCPの立ち下がりで図の左方の前段からの入力データD1をマスター回路部に読み込み、クロックパルスCPの立ち上がりでこれをスレーブ回路部に移して、図の右方の次段に出力データD<sub>o</sub>として与えると同時にその段出力として図の上方の対応する論理回路20に向けて出力するものである。

本発明では前述のようにこの各段回路11を電源投入時にその段出力がこの実施例では $\bar{1}$ である非選択論理状態に自動設定されるようにするため、例えばそのインバータ11aを第1図(a)あるいは第1図(b)に示すように構成する。

シフトレジスタ10はその入力D1にデータDを受け、選例のようにクロックパルスCPにより1段ずつこのデータを進めながら、出力D<sub>o</sub>から次の走査回路のシフトレジスタに送るもので、データDの内容によって前述のように常にその1個の段出力のみが選択論理状態に置かれる。以下、この実施例では選択論理状態は通常のように $\bar{1}$ の論理状態で指定されるものとする。

各論理回路20はこのシフトレジスタ10からの対応する段出力と第5図(a)の波形のフレーム信号FSとを受けて、段出力の $\bar{1}$ ,  $\bar{1}$ およびフレーム信号FSの $\bar{1}$ ,  $\bar{1}$ の4個の組み合わせに対応する4個の信号を対応する出力回路30に与えるものである。出力回路30はふつう高電圧回路であって、前述の電源電位V<sub>d</sub>およびV<sub>e</sub>と中間電位V1およびV2とをそれぞれ受ける例えば4個の高電圧用のトランジスタスイッチからなり、論理回路20からの4個の信号に応じてこれら4個の電位中の1個を選んで出力することにより、前の第5図(a)のような波形の走査信号SVを発するものである。

第1図(b)のインバータ11aの構成例では、1対の電源電位点V<sub>d</sub>およびV<sub>e</sub>間に直列接続され、入力信号S1を受けるよう共通ゲート接続されたpチャネルおよびnチャネル電界効果トランジスタ12pおよび12nのソース・ドレイン間抵抗を互いに異ならせる。この例ではpチャネル電界効果トランジスタ12pよりもnチャネル電界効果トランジスタ12nのソース・ドレイン間抵抗が充分低く例えば1/3に設定されており、電源投入直後の電源電位V<sub>d</sub>の立ち上がりに際して両電界効果トランジスタの相互接続点から導出される出力信号S<sub>o</sub>が抵抗の低いnチャネル電界効果トランジスタ12n側の電源電位V<sub>e</sub>つまり $\bar{1}$ 側に強制される。

かかるインバータ11aが組み込まれた第1図(b)の段回路11では、電源投入後の電源電位V<sub>e</sub>の立ち上がりに際してそのスレーブ回路部でこの $\bar{1}$ を出力するインバータ11aとインバータ11bとで $\bar{1}$ の記憶状態が確立され、同様にもそのマスター回路部で $\bar{1}$ の記憶状態が確立され、従ってその段出力が $\bar{1}$ の論理状態に自動設定される。

第1図(4)のインバータ11aの構成例では、両電界効果トランジスタ12pおよび12nは均等なソース・ドレイン間抵抗に構成されるが、電源電位 $v_e$ 側のnチャネル電界効果トランジスタ12nに並列に小容量のキャパシタ13が接続される。電源投入前にこのキャパシタ13はもちろん放電されているので、電源電位 $v_d$ の立ち上がり之際して出力信号 $S_o$ は電源電位 $v_e$ 側つまり $\bar{L}$ 側に強制され、上と同様にこのインバータ11aを組み込んだ段回路11は電源投入時に $\bar{L}$ の段出力に自動設定される。かかるキャパシタ13の接続により段回路11の動作速度は多少とも遅くなるが、希い走査回路用のシフトレジスタ10はあまり高速動作を要しない。

以上から容易にわかるように、電源投入時の段回路11の $\bar{L}$ への自動設定には、インバータ11bのpチャネル電界効果トランジスタ12pのソース・ドレイン間抵抗をnチャネル電界効果トランジスタ12nより高く設定し、あるいはpチャネル電界効果トランジスタ12p側にキャパシタ13を並列接続することでもよい。

この実施例では、シフトレジスタ10の入力 $D_i$ 側には、電源投入後まだ確立されていないデータDを短時間内禁止するため、アンドゲート14aおよび14bとオアゲート14cが接続されており、同様にクロックパルスCPに対してもその短時間内の禁止のためアンドゲート15aおよび15bとオアゲート15cが設けられる。さらに、この例では走査回路が受ける信号が確立されるのを確かめるため、その代表としてフレーム信号FSを利用してこれをクロックパルスCPのかわりに短時間内用いるようになっており、このためクロックパルスCPがアンドゲート15aの、フレーム信号FSがアンドゲート15bのそれぞれの一方の入力に与えられる。データDのかわりにはフリップフロップ16の補のQ出力から取られた始動データ $D_o$ を短時間内用いるようになっており、このためデータDはアンドゲート14aの、始動データ $D_o$ はアンドゲート14bのそれぞれの一方の入力に与えられる。これらのアンドゲートの制御のため別のフリップフロップ17のQ出力である制御信号 $S_o$ が用いられる。

以上のように構成された第1図の実施例では、電源投入時に走査回路100内のシフトレジスタ10の全部の段出力が非選択状態である $\bar{L}$ の状態に自動設定され、走査回路100から表示パネル1の走査線3に出力される走査信号SVがすべて中間電位 $V_1$ ないし $V_2$ に置かれるので、データ線4から画素2のキャパシタンスを介して走査線3にパルスが誘導されてもそれが電源電位 $V_d$ ないし $V_e$ を超えることがなく、走査回路100をラッチアップの危険から有効に保護することができる。

第2図は電源投入直後に限らず走査回路が受けるデータ、クロックパルス、フレーム信号等が確立されるまでの短時間内、走査回路をラッチアップの危険から保護する実施例を示し、第3図に関連する信号線の波形が示されている。ただし、第2図には走査回路100内のシフトレジスタ10に関連する部分のみが抽出して示されており、その各段回路11は第1図(4)~(6)のように構成されて、電源投入直後にその段出力が $\bar{L}$ の非選択状態に自動設定されるものとする。

両フリップフロップ16および17は、いずれもそのD入力に与えられている電源電位 $v_d$ によりその立ち上がり後にイネーブル状態に置かれ、それらのトリガ入力Tには図示のようにシフトレジスタ10の初段の段出力およびこの例では終段の段出力がそれぞれ与えられる。

電源投入直後、シフトレジスタ10の段出力は上述のようにすべて $\bar{L}$ なのでフリップフロップ17はリセット状態で、従って制御信号 $S_o$ は第3図(4)に示すようにこの時刻 $t_0$ に $\bar{L}$ の状態にあり、これによってアンドゲート14aおよび15aはディセーブル状態にあって、データDとクロックパルスCPの入力を禁止しており、逆にアンドゲート14bおよび15bはインバータ17aを介する制御信号 $S_o$ の補信号の $\bar{L}$ によりイネーブルされている。この時、フリップフロップ16ももちろんリセット状態にあり、従って始動データ $D_o$ は第3図(4)に示すようにこの時刻 $t_0$ には $\bar{L}$ の状態にあって、アンドゲート14bおよびオアゲート14cを介してシフトレジスタ10の入力 $D_i$ に与えられている。

この状態で第3図(a)のようにフレーム信号FSが与えられると、アンドゲート15bおよびオアゲート15cを介してクロックパルスCP1としてシフトレジスタ10に与えられ、その入力D1に与えられている始動データD<sub>0</sub>の $\phi_0$ がフレーム信号FSの立ち上がり時に初段に読み込まれ、その段出力が $\phi_0$ になるのでこれをトリガ入力Tに受けているフリップフロップ16がセットされて、始動データD<sub>0</sub>は第3図(a)のように $\phi_0$ の状態になる。

以後はフレーム信号FSが $\phi_0$ になるつとに初段の $\phi_0$ の選択論理状態が次段以降に順次送られる。フレーム信号FSがn回 $\phi_0$ になって、第3図の時刻1eにこの選択論理状態がシフトレジスタ10の終段に到達すると、その段出力の $\phi_n$ によってフリップフロップ17がトリガされてセットされ、制御信号S<sub>0</sub>が $\phi_n$ になってアンドゲート14bおよび15bをディセーブルすると同時に、アンドゲート14aおよび15aをそのかわりにイネーブルしてデータDおよびクロックパルスCPをシフトレジスタ10に受け入れる正規の状態に移る。

以上説明した実施例に限らず、本発明は種々の態様で実施をすることができる。実施例では電源投入時にシフトレジスタの各段出力を非選択論理状態に自動設定する手段として、その段回路がマスタースレーブ方式のCMOS回路の場合につきインバータ用の相補トランジスタ対のソース・ドレイン間抵抗を異ならせ、あるいは一方のトランジスタにキャパシタを並列接続したが、このほか回路方式や回路要素の種類等に応じて適宜の手段を取ることができる。

#### (発明の効果)

以上のとおり本発明では、シフトレジスタの段出力の選択論理状態により順次指定される走査信号の電圧を1対の電源電位のいずれかに置いて走査線を駆動する走査回路に対し、シフトレジスタの各段を電源投入時にその段出力が非選択論理状態に自動設定されるように構成することにより、電源投入直後の走査信号電圧をすべて中間電位に置いて、データ線からの誘導パルスによる走査回路のラッチアップを有効に防止できる。

これからわかるように、この実施例では第3図の時刻1aから1eまでの時間Tの間にシフトレジスタ10の各段出力が1個ずつ順次に選択論理状態に置かれ、これによって走査回路1内のシフトレジスタ10のほか論理回路20や出力回路30が例えば外部からの乱れた入力等により非正常な状態にあっても正常な状態に逐次是正され、フレーム信号FSが所定回数到来したことにより入力信号が確立したことを確かめた上で走査回路がそれを受け入れる正規の動作状態に移行される。

従って、この実施例では電源投入直後から入力信号の確立が確認されるまでの時間Tを通じて、走査回路を正常な動作状態にほぼ確実に置くことができる。なお、フレーム信号FSの周波数が通常のよう60Hzでシフトレジスタ10が数十段の場合、上述の時間Tは1秒前後になる。この時間T内にシフトレジスタ10に与えるクロックパルスCP1には、フレーム信号FSに限らずもちろん他の信号を適宜利用することができる。

さらには、電源投入直後から走査回路への入力信号が確立されるまでの時間内、シフトレジスタへの信号の入力を禁止し、あるいは走査回路内でシフトレジスタの単一の段のみを選択論理状態に置く仮のデータを作って周期的パルスによりこれを順次送めることにより、走査回路内の不測の原因による非正常な動作状態を是正し、この時間内の走査回路のラッチアップをも防止して、それによる不動作や誤動作ないしは破壊のおそれを完全になくすることができる。

このように本発明によれば、走査回路の出力回路部のラッチアップ耐性を上げるためにそれ用の集積回路装置のチップサイズを増すことなく、従来の問題点を根本的に解決することができ、今後表示パネルがますます大形化され、ないしはその画素の電極間ギャップが縮小されて走査線にパルスが誘導されやすくなっても、小チップサイズでかつ高集積化された走査回路を安価に提供して、表示パネル装置の一層の発展と普及に貢献することができる。



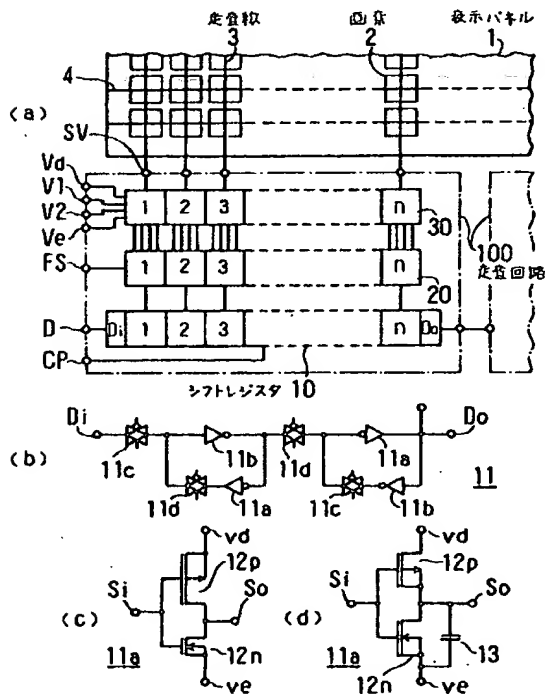
## 4. 図面の簡単な説明

第1図から第5図(c)までが本発明に関し、第1図は本発明による表示パネル駆動用走査回路の実施例回路図、第2図は本発明の異なる実施例の要部の回路図、第3図はそれに関連する主な信号の波形図、第4図は表示パネル駆動の全体回路図、第5図(a)~(c)はそれに関連する主な信号の波形図である。第5図(c)は従来回路においてシフトレジスタの段出力がすべて選択状態になった場合の走査信号の波形図である。図において、

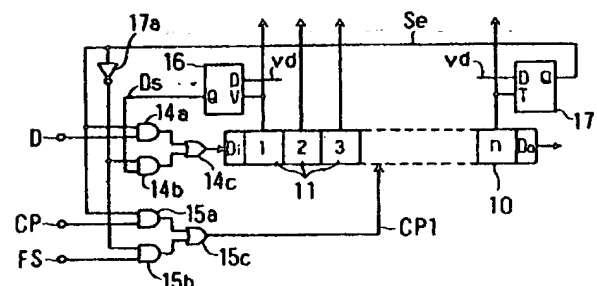
1: 表示パネル、2: 図素、3: 走査線、4: データ線、10: シフトレジスタ、11: シフトレジスタの段回路、11a, 11b: インバータ、11c, 11d: トランスマッショングート、12p: pチャネル電界効果トランジスタ、12n: nチャネル電界効果トランジスタ、13: キャパシタ、14a, 14b: アンドゲート、14c: オアゲート、15a, 15b: アンドゲート、15c: オアゲート、16, 17: フリップフロップ、17a: インバータ、20: 立ち上がり部の始端回路、30: 走査回路内の出力回路、100: 走査

回路、200: データ回路、CP, CP1: クロックパルス、D: データ、D1: データ入力端子、Do: データ出力端子、Ds: 始端データ、DV: データ信号、Se: 選択信号、S1: インバータの入力信号、So: インバータの出力信号、SV, SV3: 走査信号、T: 時間、ts, te: 時刻、Vd, Ve: 表示用高電圧電位、Vo: 中心電位、V1~V4: 中間電位、vd, ve: 低電圧電位電位、FS: フレーム信号、である。

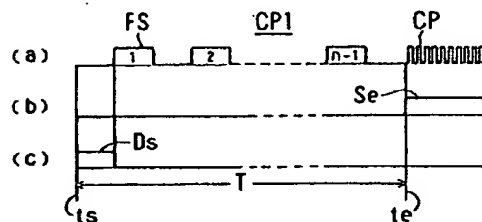
代表人弁護士 山口 廣



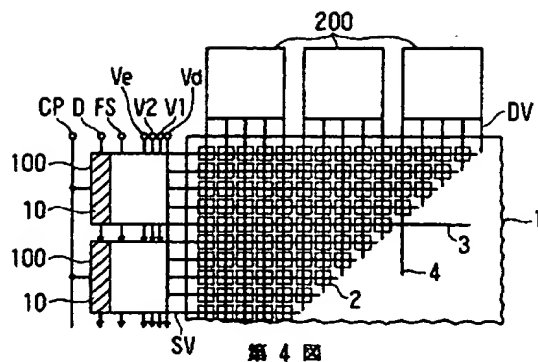
第1図



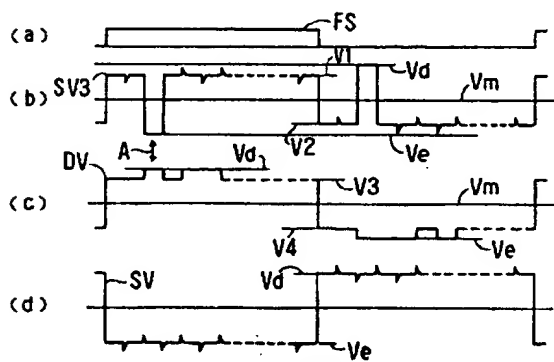
第2図



第3図



第 4 図



第 5 図